

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2002-83888
(P2002-83888A)

(43) 公開日 平成14年3月22日(2002.3.22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	21/8249	H 0 1 L 27/06	3 2 1 E 5 F 0 0 3
	27/06		1 0 1 U 5 F 0 4 8
	21/8222	29/72	5 F 0 8 2
	21/331		
	29/73		

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号 特願2000-271797(P2000-271797)

(22) 出願日 平成12年9月7日(2000.9.7)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 関川 信之

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

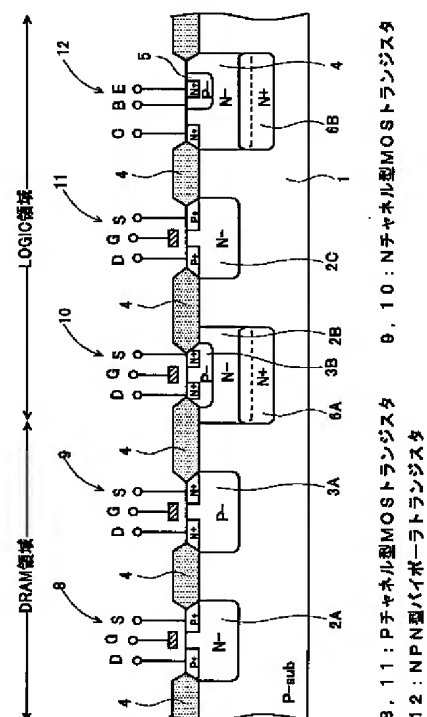
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 基板ノイズ電流に起因する回路の誤動作を防止するためのトリプルウエル構造を形成するにあたって、従来のように専用工程を追加しない半導体装置の構造及びその製造方法を提供する。

【解決手段】 N+型埋め込み層(6A、6B)は、同一工程にてN型ウエル領域2B及びN型コレクタ層4の底部に重畳して形成される。N+型の埋め込み層6Bはバイポーラトランジスタのコレクタ層4の抵抗を下げる効果がある。また、N+型の埋め込み層6Aは、N型ウエル領域2Bと一体化され深いN型ウエル領域(2B、6A)が形成される。



【特許請求の範囲】

【請求項 1】 第 1 導電型の半導体基板上に形成された第 2 導電型ウエル領域と、該第 2 導電型ウエル領域内の表面に形成された第 1 導電型ウエル領域と、該第 1 導電型ウエル領域内に形成された第 2 導電チャネル型の MOS トランジスタと、前記半導体基板上に形成された第 2 導電型コレクタ層と、該第 2 導電型コレクタ層の表面に形成された第 1 導電型ベース層と、該第 1 導電型ベース層内に形成された第 2 導電型エミッタ層と、を備えた半導体装置において、

前記第 2 導電型ウエル領域と前記第 2 導電型コレクタ層の底部に重畳して、第 2 導電型の埋め込み層（6A、6B）が同一工程にて形成されていることを特徴とする半導体装置。

【請求項 2】 前記第 2 導電型ウエル領域及び前記第 2 導電型コレクタ層は同一工程にて形成されていることを特徴とする請求項 1 に記載した半導体装置。

【請求項 3】 前記第 1 導電型ウエル領域及び第 1 導電型ベース層は同一工程にて形成されていることを特徴とする請求項 1 に記載した半導体装置。

【請求項 4】 前記第 2 導電型の埋め込み層は、前記第 2 導電型ウエル領域及び前記第 2 導電型コレクタ層に比して高濃度の不純物を含むことを特徴とする請求項 1 に記載した半導体装置。

【請求項 5】 第 1 導電型の半導体基板上に第 2 導電型ウエル領域及び第 2 導電型コレクタ層を形成する工程、前記第 2 導電型ウエル領域内の表面に第 1 導電型ウエル領域を形成すると共に前記第 2 導電型コレクタ層の表面に第 1 導電型ベース層を形成する工程、前記第 2 導電型ウエル領域と前記第 2 導電型コレクタ層の底部に重畳して、第 2 導電型の埋め込み層（6A、6B）を形成する工程、前記第 1 導電型ウエル領域内にゲート電極を形成する工程、前記第 1 導電型ウエル領域内に第 2 導電型ソース領域及びドレイン領域を形成する共に、前記第 1 導電型ベース層内に第 2 導電型エミッタ層を形成する工程、とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、MOS トランジスタ及びバイポーラトランジスタとを同一半導体基板上に集積化した半導体装置及びその製造方法に関する。

【0002】

【従来の技術】近年、DRAM やフラッシュメモリ をロジック LSI に組み込み 1 チップ化したシステム LSI が開発されている。DRAM (Dynamic Random Access Memory) 等のようなダイナミックな動作をする回路では、大きな基板電流が発生する。この基板電流がロジック LSI 領域に流れ込み、ロジック回路の誤動作を招い

ていた。そこで、この問題を解決するために、トリプルウエル構造が提案された。

【0003】図 5 は、トリプルウエル構造を採用した CMOS 半導体装置を示す断面図である。半導体基板 101 上の DRAM 領域には、第 1 の N ウエル領域 102、P ウエル領域 103 が隣接して形成されている。N ウエル領域 102 は電源電圧 V_{dd} によってバイアスされており、一方、P ウエル領域 103 は接地されている。第 1 の N ウエル領域 102 には P チャネル型 MOS トランジスタ、P ウエル領域 103 には N チャネル型 MOS トランジスタが形成される（不図示）。

【0004】ロジック回路領域には、第 1 の N ウエル領域 103 よりも深い第 2 のウエル領域 104 が形成されている。第 2 のウエル領域 104 内には、さらに P ウエル領域 105 が形成されている。また、第 2 のウエル領域 104 は電源電圧 V_{dd} によってバイアスされており、一方、P ウエル領域 105 は接地されている。P ウエル領域 105 には N チャネル型 MOS トランジスタが形成される（不図示）。また、第 2 のウエル領域 104 に隣接して N ウエル領域 106 が形成されている。この N ウエル領域 106 内に P チャネル型 MOS トランジスタが形成される（不図示）。

【0005】上述した CMOS 半導体装置の構成によれば、ロジック回路領域において、第 2 のウエル領域 104 内に、P ウエル領域 105 が形成されている。ここで第 2 のウエル領域 104 と P ウエル領域 105 は逆方向バイアスされているので、DRAM 領域で発生した基板ノイズ電流 I_n は、半導体基板 101 と第 2 のウエル領域 104 とで構成される PN 接合の電位障壁と、第 2 のウエル領域 104 と P ウエル領域 105 とで構成される PN 接合の電位障壁とによって P ウエル領域 105 内に流入することが防止される。

【0006】また、第 2 のウエル領域 104 は深く形成されているので、基板ノイズ電流 I_n は、この PN 接合バリアの存在によりロジック回路領域に流入することが阻止される。

【0007】これらにより、P ウエル領域 105 等に基板電流 I_n の流入が防止されるので、ロジック回路の誤動作を防止することができる。

【0008】

【発明が解決しようとする課題】上述したトリプルウエル構造によれば、DRAM 等のダイナミック動作する回路領域で発生した基板ノイズ電流 I_n の影響を除き、ロジック回路の動作を安定化することができる。

【0009】しかしながら、従来、深い第 2 のウエル領域 104 を形成するための専用工程を実施していたので、通常のツインウエル構造に比して製造工程が増加してしまうという問題があった。

【0010】

【課題を解決するための手段】本発明は、上記課題を解

10

20

30

40

50

決するために為されたものであり、第 1 導電型の半導体基板上に形成された第 2 導電型ウエル領域と、該第 2 導電型ウエル領域内の表面に形成された第 1 導電型ウエル領域と、該第 1 導電型ウエル領域内に形成された第 2 導電チャネル型の MOS トランジスタと、前記半導体基板上に形成された第 2 導電型コレクタ層と、該第 2 導電型コレクタ層の表面に形成された第 1 導電型ベース層と、該第 1 導電型ベース層内に形成された第 2 導電型エミッタ層と、を備えた半導体装置において、前記第 2 導電型ウエル領域と前記第 2 導電型コレクタ層の底部に重畳して、第 2 導電型の埋め込み層 (6 A、6 B) が同一工程にて形成されていることを特徴とするものである。

【0011】一般に、MOS トランジスタと縦型のバイポーラトランジスタとを集積化した半導体装置において、縦型のバイポーラトランジスタのコレクタ抵抗を下げるための第 2 導電型の埋め込み層 (6 B) が形成される。

【0012】そこで本願発明者は、第 2 導電型の埋め込み層 (6 B) の形成位置に着目し、第 2 導電型ウエル領域と第 2 導電型コレクタ層の底部に重畳して、第 2 導電型の埋め込み層 (6 A、6 B) を同一工程にて形成するようにした。これにより、この種の半導体装置の製造工程を全く増加することなく、第 2 導電型の埋め込み層 (6 A) と一体化された深い第 2 導電型ウエル領域が形成される。

【0013】

【発明の実施の形態】次に、本発明の実施の形態に係る半導体装置及びその製造方法について、図 1 乃至図 4 を参照しながら説明する。なお、図 1 乃至図 4 において、図面の右側にロジック回路形成領域、左側に DRAM 形成領域を示している。

【0014】図 1 に示すように、P 型シリコン基板 1 上に、N 型ウエル領域 2 A、2 B、2 C、及び N 型コレクタ層 4 を同時に形成する。このとき、例えばリンをドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。その後、 1100°C 程度の温度で数時間、リンを熱拡散する。その拡散深さは $1 \sim 2 \mu\text{m}$ が好ましい。

【0015】また、DRAM 領域のシリコン基板 1 表面に P ウエル 3 A、N 型ウエル領域 2 B の表面に P ウエル領域 3 B、N 型コレクタ層 4 の表面に P 型ベース層 5 を同時に形成する。このとき、例えばボロンをドーズ量 $1 \times 10^{13} / \text{cm}^2$ の条件でイオン注入する。その後、ボロンを熱拡散する。その拡散深さは、N 型ウエル領域 2、N 型コレクタ層 4 の拡散深さより浅いことが条件である。

【0016】次に、図 2 に示すように、選択酸化法 (Selective Oxidation) によりフィールド酸化工程を行う。これにより、各ウエル間を電氣的に絶縁分離するためのフィールド酸化膜 6 が形成される。

【0017】次に、図 3 に示すように、N+ 型埋め込み

層 (6 A、6 B) を形成する。本工程は本発明の最も特徴とする工程である。全面にホトレジスト層 7 を塗布し、所定のフォトマスクを用いて露光・現像処理を施す。これにより、N 型ウエル領域 2 B 及び N 型コレクタ層 4 に対応した領域に開口部を設ける。そして、リンを所定の条件でイオン注入することにより、N+ 型埋め込み層 (6 A、6 B) を形成する。

【0018】このとき、N 型ウエル領域 2 B 及び N 型コレクタ層 4 の拡散深さに応じて、加速エネルギーを適宜選択することにより、N+ 型の埋め込み層 (6 A、6 B) は N 型ウエル領域 2 B 及び N 型コレクタ層 4 の底部に重畳して形成される。例えば、N 型ウエル領域 2 B 及び N 型コレクタ層 4 の拡散深さは $2 \mu\text{m}$ 程度の場合、 2 MeV 程度の加速エネルギーが必要となる。イオン注入装置の性能上、高加速エネルギーが実現できないときは、熱拡散を併用すれば良い。また、イオン注入のドーズ量は適宜選択できるが、低抵抗化と深いウエル形成のためには $1 \times 10^{14} / \text{cm}^2$ 程度の高ドーズ量とすることが好ましい。

【0019】ここで、N+ 型埋め込み層 6 B はバイポーラトランジスタのコレクタ層 4 の抵抗を下げる効果がある。また、N+ 型の埋め込み層 6 A は、N 型ウエル領域 2 B と一体化され深い N 型ウエル領域が形成される。

【0020】次に、図 4 に示すように、各種のトランジスタを形成する。まず、ゲート絶縁膜を介してゲート電極 G を N 型ウエル領域 (2 A、2 C) 及び P 型ウエル領域 (3 A、3 B) に形成する。次に、所定のマスクを用いて砒素のイオン注入を行い、N+ 型のソース層及びドレイン層を形成する。これと同時に、N+ 型コレクタ層、N+ 型エミッタ層を形成する。

【0021】これにより、N チャネル型 MOS トランジスタ (9、10) 及び NPN 型バイポーラトランジスタ 12 が形成される。次に、所定のマスクを用いてボロンや BF₂ などのイオン注入を行い、P+ 型のソース層及びドレイン層を形成する。これにより、P チャネル型 MOS トランジスタ (8、11) が形成される。

【0022】ここで、シリコン基板 1 を接地 (0 V) し、N ウエル領域 (2 A、2 B、2 C) を電源電圧 V_d (例えば 5 V) にバイアスする。また、P ウエル領域 (3 A、3 B) を接地する。すると、N ウエル領域 2 B 及び N+ 型埋め込み層 6 A とシリコン基板 1 とは逆バイアスされる。また、P ウエル領域 3 B と N ウエル領域 2 B とは逆バイアスされる。これらの逆バイアスされた PN 接合が設けられることにより、DRAM 領域で発生した基板ノイズ電流 I_n は、P ウエル領域 3 B 内に流入することが防止される。また、N ウエル領域 2 B は N+ 型埋め込み層 6 A と一体化され深く形成されているので、基板ノイズ電流 I_n がロジック回路領域に流入することが防止される。

【0023】本実施形態によれば、NPN 型バイポーラ

10

20

30

40

50

トランジスタ 12 の N+ 型埋め込み層 6 B の形成工程と同一工程で、N+ 型埋め込み層 6 A を N 型ウエル領域 2 B の底部に重畳して形成しているため、専用工程を追加することなく、深い N 型ウエル領域 (2 B、6 A) を形成することができる。

【0024】また、N 型ウエル領域 (2 A、2 B、2 C) とコレクタ領域 4 を同一工程で形成しているため、製造工程が削減される。また、P 型ウエル領域 (3 A、3 B) と P 型ベース層 5 も同一工程で形成しているため、製造工程が削減される。

【0025】さらに、N+ 型埋め込み層 (6 A、6 B) の不純物濃度を N 型ウエル領域 (2 B) に比して高濃度とすることにより、N 型ウエル領域 (2 B) の底部からより深く拡散しやすくなるので、基板ノイズ電流がロジック回路領域へ流入するのを容易に阻止できるようになる。また、基板ノイズ電流がホール電流の場合には、この N+ 型埋め込み層 (6 B) 内に流入した場合でも、電子との再結合が発生し易くなるので、基板ノイズ電流が*

* のものが消滅することが期待される。

【0026】

【発明の効果】以上説明したように、本発明によれば、基板ノイズ電流に起因する回路の誤動作を防止するためのトリプルウエル構造を形成するにあたって、従来のように専用工程を追加する必要がなくなるので、製造コストの削減と T A T の短縮に大きな効果を奏するものである。

【図面の簡単な説明】

10 【図 1】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

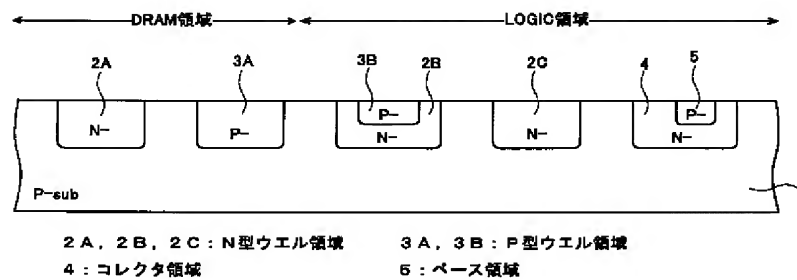
【図 2】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 3】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

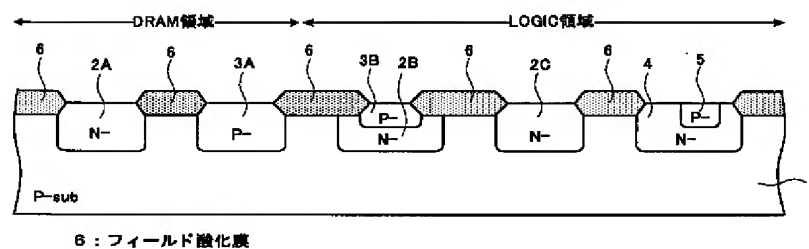
【図 4】本発明の実施形態に係る半導体装置の製造方法を説明するための断面図である。

【図 5】従来例に係る半導体装置を示す断面図である。

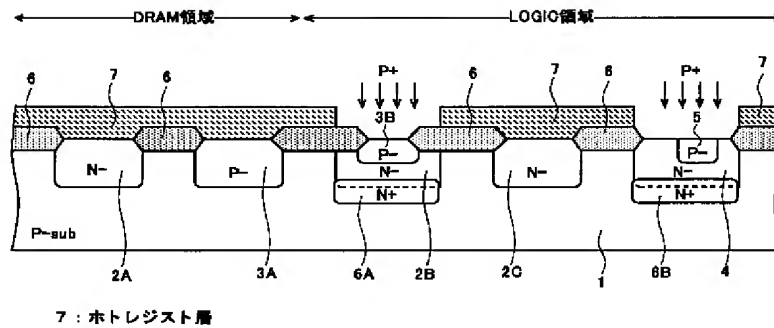
【図 1】



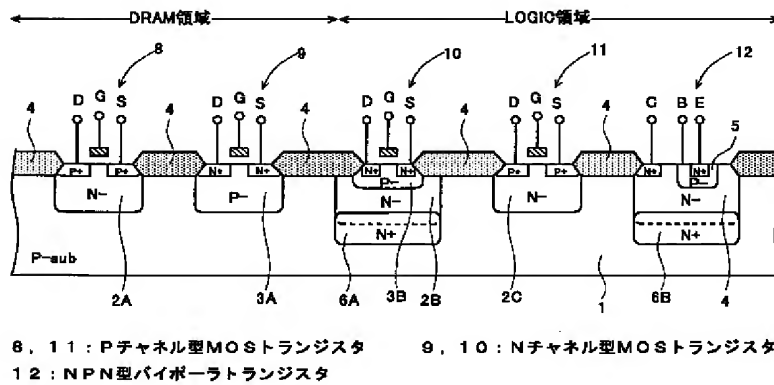
【図 2】



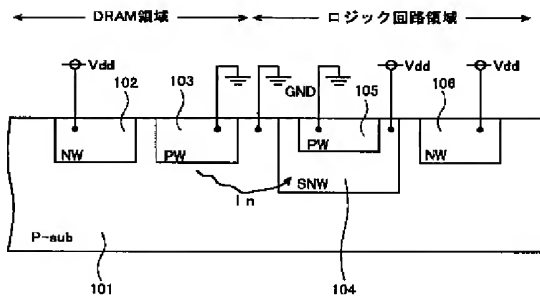
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 5F003 BA97 BC05 BC08 BJ15 BP21
BP24
5F048 AA00 AA09 AB01 AB03 AC05
BA01 BA12 BE02 BE03 BE05
BE06 BG12 CA07 CA12 DA08
DA10 DA13 DA14
5F082 AA36 BA04 BA11 BA13 BA22
BC01 BC09 EA09 EA10 EA13